

## シリコンウェーハの薄化、個片化プロセスと抗折強度

営業技術部

### Silicon wafer thinning, the singulation process, and die strength

Sales Engineering Department

#### 要旨

近年、「誰でも、いつでも、どこでも、何でも」ネットワークにつながるができる IoT (Internet of Things) 社会の実現が目前に迫っている。IoT の進展には、各種センサや通信デバイス、メモリデバイスなど、主にシリコンウェーハに回路形成した半導体デバイス (チップ) が必要不可欠であり、総じて「薄く」「小さく」することが求められる。また一方、製造工程の歩留まりや最終製品の信頼性を上げるため、チップの強度向上も重要である。そこで本レビューでは、CMP や DP と呼ばれるストレスリリーフをもちいたウェーハ薄化プロセスや、DBG と呼ばれる個片化プロセスの抗折強度について説明する。

#### Abstract

In recent years, the realization of the IoT (Internet of Things) society (in which anyone can connect to the network to search for anything at anytime from anywhere) is approaching. For the IoT to progress, semiconductor devices (chips), such as various types of sensors and communication and memory devices, manufactured by forming a circuit on the silicon wafer, are essential. In general, both “thinning” and “minimizing” are required. On the other hand, die strength improvement is also very important for improving the yield of the manufacturing process and enhancing the endurance of the final product. This report explains the die strength of the CMP and DP stress-relief wafer thinning processes and the DBG singulation process.

### 1 はじめに

半導体デバイスの製造は、まず前工程でシリコンウェーハの表面にトランジスタなどの電子回路を形成する。その後、後工程でウェーハ裏面を薄化し、ダイシングにより個片 (チップ) 化した後、パッケージに封入して製品化する。近年ではパッケージの低背化とともに、複数のチップをパッケージ内に重ねて封入したいなど、薄いチップのニーズが高まっている。

ウェーハ薄化は、コストや生産性の観点からグラインダによる研削加工が使用されるが、

脆性モード (brittle mode) で加工するため、図 1 のようなソーマークと呼ばれる研削痕が生じ加工面にダメージが残留する。

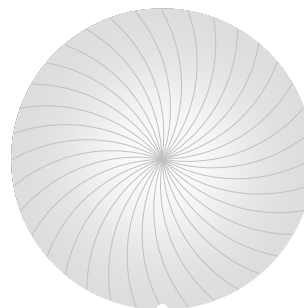


Fig. 1 ソーマーク イメージ

このダメージ層を除去するため、CMP (Chemical Mechanical Polishing) や DP (Dry Polishing) と呼ばれるストレスリリーフプロセスが導入されている。CMP はスラリーと呼ぶ研磨剤をもちいて化学的機械研磨を行うが、DP は水やスラリーなどの薬液をいっさい使用しない乾式研磨プロセスであるため、研磨剤・廃液回収処理などのコスト面と環境面に優れている。

ウェーハをチップに切り出す際は、ダイヤモンドブレードによるフルカットダイシングをもちいる。グラインダと同様、脆性モードで加工するため、ウェーハ表面や裏面にチッピングと呼ばれる微少欠けが生じる。この対策として DBG (Dicing Before Grinding) というプロセスも採用されている。図 2 のように、グラインディングを行う前に溝入れ（ハーフカット）ダイシングを表面側から行い、グラインディング中にその溝に到達した際、チップに分割させるプロセスである。

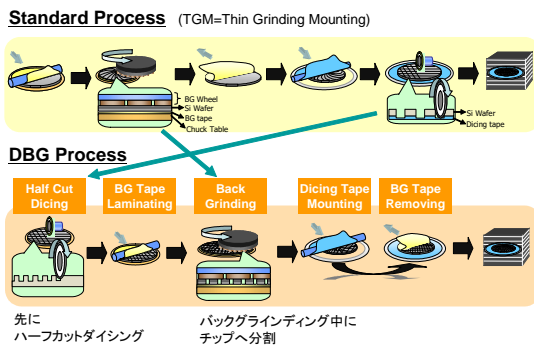


Fig.2 DBG プロセスフロー

DBG は溝入れダイシングで生じた裏面側へのダメージ層をグラインディング加工で除去するため、裏面チッピングそのものを大幅に低減できる利点がある。図 3 で通常プロセスと DBG プロセスでの裏面チッピングの差異を示す。

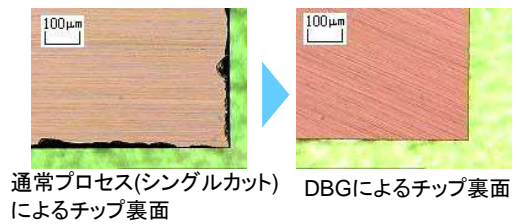


Fig.3 裏面チッピング比較写真

これらのプロセスをもちい、スマートフォンやタブレット端末に使用されるメモリチップなどは 100um 以下に薄化が進んでいる。しかし製造工程でウェーハやチップの破損が生じ歩留まりを下げってしまう課題があり、チップの抗折強度向上も求められている。本レビューでは、各プロセスで製造されたチップの抗折強度について説明する。

## 2 評価手法

抗折強度を測定する方法としては、SEMI (Semiconductor Equipment and Materials International) 規格 G86-0303 に 3-Point Bending (三点曲げ) がある。三点曲げは材料試験の一種であり、図 4 のようにチップの両端を固定しない単純支持とし、圧子により垂直荷重をかけチップが破壊するまでの最大荷重を測定する。チップ上面側には圧縮応力がかかり、逆に下面側には引っ張り応力が生じる。脆性材料は一般的に圧縮強度の方が高いため、この試験方法は下面側の引っ張り応力による破壊強度をみている。また、最大破壊荷重は式 1 のように単位面積あたりの曲げ応力値として計算する。

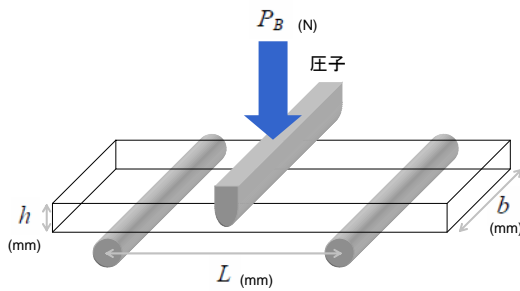


Fig. 4 三点曲げ抗折強度測定

$$\sigma_{fb} = \frac{3P_B L}{2bh^2} \quad (式 1)$$

SEMI 規格の G96-1014 には、カンチレバー曲げ試験も標準化されているが、本レビューではより一般的な三点曲げ試験をもちいた。

### 3 評価結果

#### 3-1. ソーマークの影響

前述のようにウェーハ薄化にグラインド加工をおこなうとソーマークが残留する。ソーマークはウェーハ中心から放射線状に形成されるためチップごとにソーマーク角度が異なる。そのため三点曲げ抗折強度試験に対するソーマークの角度影響を評価した。三点曲げの圧子に対して平行なソーマークを 0 度とし、45 度の角度、および圧子に対して垂直に交差する 90 度の 3 種類を各 20 チップずつ測定した。グラインディングは #2000 および #4800 の砥石を使用し 200 μm まで薄化した。ダイシングは通常のフルカットダイシングをおこなった。

図 5 に示す通り、圧子とソーマークが平行となる 0 度のチップ強度が著しく低下することが分かった。#2000 加工での 0 度チップと 90 度チップでは Minimum 数値の比較で 2.3 倍の

差となった。この結果から、ソーマーク角度の影響を受けていることが分かる。

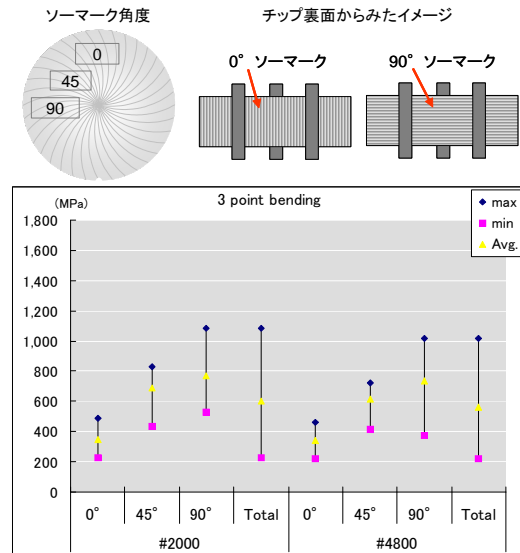


Fig. 5 三点曲げ抗折強度 (ソーマーク角度)

#### 3-2. ストレスリリーフの影響

次にグラインディングダメージの除去と鏡面化によるソーマーク除去を実現するストレスリリーフの効果を評価した。#2000 のグラインディング後に前述の CMP と DP で 2um 程度の除去をおこない鏡面化した。ダイシングは同様に通常のフルカットダイシングをもちいた。

結果はソーマーク角度の影響の無い強度が得られた (図 6)。また CMP と DP の強度差はほぼ見られなかった。しかしグラインディングダメージの除去が為されているにも関わらず、Average および Maximum の強度改善があまりみられなかった。このことから、三点曲げ抗折強度試験ではチップの裏面状態以外の影響因子も働いていると考えられる。

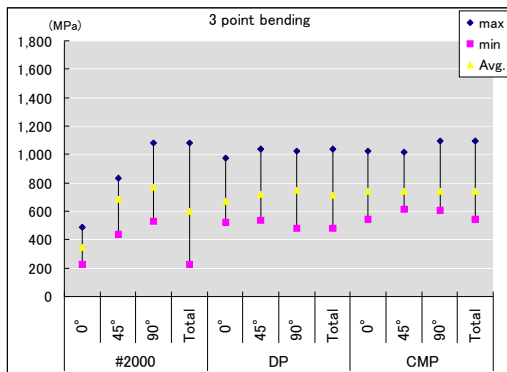


Fig. 6 三点曲げ抗折強度 (ストレスリリーフ)

### 3-3. 裏面チップングの影響

次にチップの裏側の四辺に生じているチップングの影響を評価した。裏面チップングを大幅に低減する DBG プロセスをもちいて比較サンプルを作成した。チップの裏面状態は #2000 と DP 加工面を評価した。

図 7 のように、#2000 の裏面状態では、通常のフルカットダイシングと DBG の差はみられなかった。しかし DP 加工面では、DBG によって裏面チップングが大幅に低減した事による強度向上がみられた。

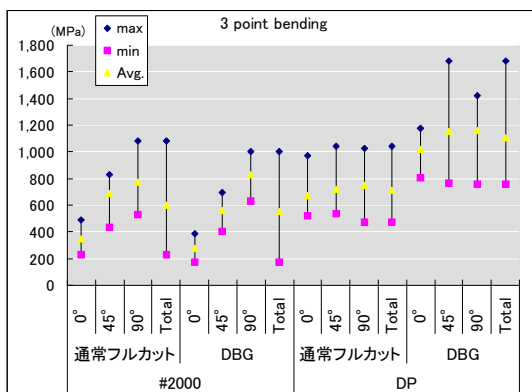


Fig. 7 三点曲げ抗折強度 (裏面チップング)

### 3-4. まとめ

これらから三点曲げ抗折強度においては、まずチップ裏面のグラインディングダメージ (ソーマーク角度) を改善することで、Minimum 値を向上させることができた。その上で、チップ裏面チップングを低減させることで、全体的な強度を向上させることが分かった。プロセスとしては、DBG + DP プロセスが最良であった。

## 4 あとがき

半導体チップの薄化ニーズはますます進み、30 μm 以下まで求められる場合もあり、チップの高強度化はますます重要である。当然、できるかぎり低コストのアプローチでチップに残留するダメージを低減していかなければならない。そのためにはチップ強度に影響する因子の優先順位の見極めも重要である。今後さらにチップ側面や表面側の影響因子についても評価していきたい。

### 参考文献

- [1] SEMI G86-0303 : 2011. TEST METHOD FOR MEASUREMENT OF CHIP (DIE) STRENGTH BY MEAN OF 3-POINT BENDING
- [2] SEMI G96-1014 : 2014. TEST METHOD FOR MEASUREMENT OF CHIP (DIE) STRENGTH BY MEAN OF CANTILEVER BENDING